



*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

**Invenzione Industriale**

N.

**MI2002 A 002464**



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

**24 NOV. 2003**

Roma, li .....

IL DIRIGENTE  
*Paola Giustino*  
D.ssa Paola Giustino

20



MODULO A

## AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

## A. RICHIEDENTE (I)

1) Denominazione SMicroelectronics S.r.l. N.G. LSR  
 Residenza ACRATE BRIANZA (MI) codice 00.95.19.00.968  
 2) Denominazione \_\_\_\_\_  
 Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome MACCALLI MARCO ED ALTRI cod. fiscale \_\_\_\_\_  
 denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.  
 via Settembrini n. 40 città MILANO cap 20124 (prov) MI

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_

## D. TITOLO

classe proposta (sez/ci/sci) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

"Memoria a semiconduttore con DRAM incorporata"

## ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

N° PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) CAMPARDO Giovanni 3) \_\_\_\_\_  
 2) MICHELONI Rino 4) \_\_\_\_\_

## F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

1) \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_  
 2) \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

## SCIoglimento RISERVE

Data \_\_\_\_\_ N° Protocollo \_\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 37 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)  
 Doc. 2) 2 PROV n. tav. 08 disegno (obbligatorio se citato in descrizione, 1 esemplare)  
 Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale dich. sostitutiva  
 Doc. 4) 1 RIS designazione inventore  
 Doc. 5) 1 RIS documenti di priorità con traduzione in italiano  
 Doc. 6) 1 RIS autorizzazione o atto di cessione  
 Doc. 7) 1 nominativo completo del richiedente

8) attestati di versamento, totale Euro DUECENTONOVANTUNO/80

obbligatorio

COMPILATO IL 20/11/2002

FIRMA DEL(I) RICHIEDENTE(I)

MARCO MACCALLI

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO

SI

CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO

codice 15

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2002A 002464

Reg. A.

L'anno DUEMILADUE

il giorno VENTI

del mese di NOVEMBRE

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda corredata \_\_\_\_\_  
100 fogli aggiuntivi per la concessione del brevetto soprariportato.

## I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

L'UFFICIALE ROGANTE

M. CORTONESI

## RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2002A 002464

REG. A

DATA DI DEPOSITO 20/11/2002NUMERO BREVETTO DATA DI RILASCIO / /

## D. TITOLO

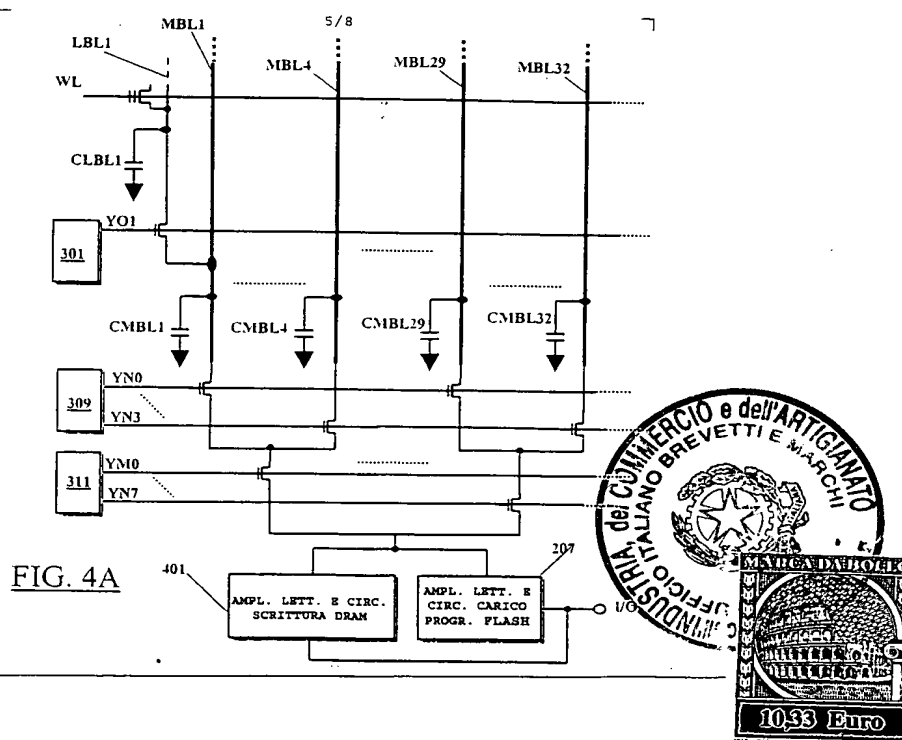
"Memoria a semiconduttore con DRAM incorporata"

## L. RIASSUNTO

Una memoria a semiconduttore comprende una pluralità di celle di memoria (MC), per esempio celle di memoria Flash, disposte secondo una pluralità di linee (LBL), ed una pluralità di linee di segnale di accesso alle celle di memoria (MBL), ciascuna associata ad almeno una rispettiva linea di celle di memoria, per accedere le celle di memoria dell'almeno una rispettiva linea di celle di memoria; ogni linea di segnale ha intrinsecamente associata una capacità (CMBL). E' provvista una pluralità di celle di memoria volatili, ciascuna avente un elemento di immagazzinamento capacitivo. Ciascuna cella di memoria volatile è associata ad una rispettiva linea di segnale, ed il rispettivo elemento di immagazzinamento capacitivo comprende la capacità intrinsecamente associata alla rispettiva linea di segnale.

In particolare, è possibile sfruttare come elementi di immagazzinamento capacitivo le capacità parassite associate alle linee di bit di una matrice di celle di memoria.

## M. DISEGNO



MEMORIA A SEMICONDUETTORE CON DRAM INCORPORATA

\* \* \* \* \*

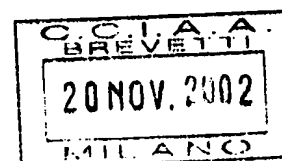
MI 2002 A 0 0 2 4 6 4

La presente invenzione si riferisce in generale al settore delle memorie a semiconduttore.

5 Le memorie a semiconduttore possono essere classificate come volatili o non-volatili.

La famiglia delle memorie volatili comprende ad esempio le RAM Statiche (SRAM), le RAM Dinamiche (DRAM), e le RAM Pseudo-Statiche (PSRAM). Le SRAM sono capaci di operare a  
10 velocità molto elevate, ma sono relativamente costose e consumano molta energia; il loro impiego principale è per aree di immagazzinamento dati relativamente piccole ad accesso veloce (come, ad esempio, memorie cache per elaboratori di dati). Le DRAM sono significativamente più  
15 lente delle SRAM e richiedono un rinfresco periodico dei dati, ma la compattezza delle loro celle di memoria elementari permette di integrare in una singola piastrina di semiconduttore disposizioni molto grandi di celle di memoria, e sono perciò piuttosto economiche; le DRAM sono  
20 principalmente usate come grandi aree di immagazzinamento dati in cui un accesso estremamente veloce non è l'obiettivo principale. Le PSRAM sono sostanzialmente delle DRAM con una SRAM incorporata, che funge da memoria cache per le locazioni DRAM più recentemente accedute.

25 La famiglia delle memorie non-volatili include le ROM a



maschera, le ROM Elettricamente Programmabili e cancellabili  
mediante UV (EPROMs) e le ROM Elettricamente Cancellabili e  
Programmabili, come le memorie Flash e le EEPROM. In  
particolare, le memorie Flash sono divenute piuttosto  
5 popolari grazie alla possibilità che esse offrono di  
alterare i dati in modo totalmente elettrico, e perché è  
possibile integrare in una singola piastrina di  
semiconduttore grandi disposizioni di celle di memoria  
Flash. Le memorie Flash sono tipicamente sfruttate per  
10 immagazzinare codice per elaboratori di dati e/o dati.

In molte applicazioni vi è la necessità di provvedere  
sia memorie volatili che memorie non-volatili: le prime  
permettono una facile lettura e scrittura dei dati, ma non  
preservano i dati immagazzinati quando viene tolta  
15 l'alimentazione; le seconde sono più lente, soprattutto per  
quanto concerne la scrittura dei dati, ma garantiscono che i  
dati immagazzinati non vadano perduti.

Per esempio, quando è prevista una memoria Flash per  
immagazzinare un programma per un microprocessore, è  
20 preferibile disporre di una memoria volatile in cui  
immagazzinare una porzione del programma da eseguire; in  
questo modo, il recupero delle istruzioni da parte del  
microprocessore è più veloce, ed i dati possono essere  
scritti in un tempo paragonabile al tempo di accesso in  
25 lettura.

Sono stati fatti tentativi per integrare in una stessa piastrina sia una memoria Flash che una memoria volatile. Tuttavia, è difficile concepire un processo di fabbricazione ottimizzato per entrambi i tipi di memoria, e le dimensioni  
5 della piastrina aumentano in modo significativo.

In vista dello stato della tecnica sopra delineato, è stato uno scopo della presente invenzione fornire un dispositivo a semiconduttore di immagazzinamento dati o memoria a semiconduttore in cui è incorporata una memoria  
10 volatile, in particolare una memoria volatile del tipo DRAM, che non sia afflitto dai problemi discussi.

In particolare, la Richiedente ha trovato che componenti intrinsecamente ed inevitabilmente presenti in una memoria a semiconduttore, ad esempio in una memoria  
15 Flash, e normalmente considerati come componenti parassiti, possono essere convenientemente sfruttati per costruire una memoria volatile tipo DRAM, senza la necessità di modificare il processo di fabbricazione standard della memoria a semiconduttore in cui la memoria volatile è incorporata, e  
20 con un incremento molto contenuto in termini di area di semiconduttore.

In accordo con un aspetto della presente invenzione, è fornita una memoria a semiconduttore come definita nell'annessa rivendicazione 1.

25 In breve, la memoria a semiconduttore comprende una

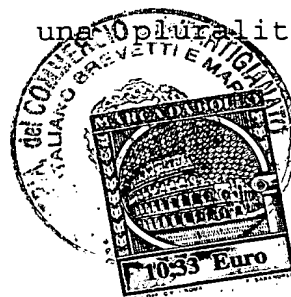
pluralità di celle di memoria, disposte in una pluralità di linee, ed una pluralità di linee di segnale di accesso alle celle di memoria, ciascuna associata ad almeno una rispettiva linea di celle di memoria, per accedere alle  
5 celle di memoria dell'almeno una rispettiva linea di celle di memoria.

Ogni linea di segnale ha intrinsecamente associata una capacità, tipicamente una capacità parassita.

E' anche prevista una pluralità di celle di memoria  
10 volatili, ciascuna avente un elemento di immagazzinamento capacitivo. Ciascuna cella di memoria volatile è associata ad una rispettiva di dette linee di segnale, ed il rispettivo elemento di immagazzinamento capacitivo comprende la capacità intrinsecamente associata alla rispettiva linea  
15 di segnale.

Le caratteristiche ed i vantaggi della presente invenzione saranno resi evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, fornita a puro titolo di esempio non limitativo, con  
20 riferimento ai disegni annessi, nei quali:

**FIG. 1** mostra schematicamente una memoria secondo una forma di realizzazione della presente invenzione, in particolare una memoria non-volatile, ed ancor più in particolare una memoria Flash, avente una pluralità di  
25 settori di memoria;



N. Iscriz/826  
(in proprio e per gli altri)

FIG. 2 mostra schematicamente in maggior dettaglio una porzione della memoria di FIG. 1;

FIGG. 3A e 3B mostrano in maggior dettaglio una disposizione circuitale di selezione di colonna per selezionare colonne di celle di memoria in un settore di memoria;

FIGG. 4A e 4B mostrano schematicamente alcune celle di memoria di una memoria volatile incorporata nella memoria Flash, ed uno schema circuitale per selezionare le celle di memoria volatili, secondo una forma di realizzazione della presente invenzione;

FIG. 5 mostra schematicamente una disposizione circuitale per leggere e scrivere le celle di memoria volatili, secondo una forma di realizzazione della presente invenzione;

FIG. 6 mostra schematicamente una disposizione circuitale per la generazione di segnali di riferimento per leggere le celle di memoria volatili;

FIG. 7 è un diagramma temporale semplificato di un'operazione di scrittura condotta sulla memoria volatile; e

FIG. 8 è un diagramma temporale semplificato di un'operazione di lettura condotta sulla memoria volatile.

Facendo riferimento ai disegni, è mostrata una memoria a semiconduttore secondo una forma di realizzazione della



presente invenzione. In particolare, la memoria è una memoria non-volatile e, ancor più in particolare, una memoria Flash, e comprende una matrice di celle di memoria Flash (a cui in seguito si farà semplicemente riferimento  
5 come matrice di memoria), disposte per righe e colonne.

In modo noto, le celle di memoria Flash sono costituite da transistor MOS aventi un drain, un source, un gate di controllo ed un elemento di immagazzinamento di carica, per esempio un gate conduttivo flottante, elettricamente  
10 isolato, o uno strato dielettrico ad intrappolamento di carica, tipicamente comprendente nitruro di silicio o simili. Le celle di memoria Flash possono essere destinate a memorizzare uno o più bit ciascuna.

Le celle di memoria Flash sono raggruppate in una pluralità di settori di memoria. In particolare,  
15 nell'esempio non limitativo mostrato nei disegni, sono previsti sessantaquattro settori di memoria S0 - S63, e la topografia della matrice di memoria è tale da definire una semi-matrice HM1 superiore ed una semi-matrice HM2  
20 inferiore; ciascuna semi-matrice include trentadue settori di memoria, rispettivamente i settori di memoria S0 - S31 nella semi-matrice HM1 superiore, ed i settori di memoria S32 - S63 nella semi-matrice HM2 inferiore.

In ciascuna semi-matrice, i rispettivi settori di  
25 memoria sono disposti in righe e colonne di settori di

memoria, così da definire una disposizione bidimensionale di settori di memoria; in particolare, nella forma di realizzazione mostrata, ciascuna riga di settori di memoria comprende otto settori di memoria (ad esempio, i settori di memoria S0, S4, ..., S28 nella prima riga della semi-matrice HM1 superiore), e ciascuna colonna di settori di memoria comprende quattro settori di memoria (ad esempio, i settori di memoria S0 - S3 nella prima colonna della semi-matrice HM1 superiore).

10 Tipicamente, in una memoria Flash i settori di memoria costituiscono i blocchi di memoria elementari che possono essere individualmente cancellati elettricamente.

Chiaramente, la configurazione della matrice di memoria, il numero di settori di memoria, la dimensione dei settori di memoria dipendono da circostanze contingenti, come la taglia della memoria, l'applicazione per cui è destinata e così via.

Ciascun settore di memoria S0 - S63 comprende una disposizione bidimensionale 201 di celle di memoria Flash MC, disposte per righe di celle di memoria e colonne di celle di memoria (in seguito brevemente chiamate righe e colonne). In particolare, in una forma di realizzazione esemplificativa e non limitativa dell'invenzione, ciascun settore di memoria comprende 1024 righe e 1024 colonne, per un totale di  $2^{20}$  celle di memoria; la memoria contiene in

questo caso 64 mega celle di memoria.

In ciascun settore di memoria, celle di memoria di una stessa colonna sono connesse ad una stessa linea di bit locale **LBL**, locale a quel settore di memoria. Ciascuna linea di bit locale **LBL** di un settore di memoria è collegabile ad una rispettiva linea di bit globale o principale **MBL** che è comune a tutti i settori di memoria in una stessa colonna di settori di memoria della semi-matrice (ad esempio, la prima colonna di settori di memoria **S0 - S3** nella semi-matrice **HM1** superiore). In particolare, in una forma di realizzazione dell'invenzione, ciascuna linea di bit globale **MBL** è associata ad un rispettivo pacchetto di linee di bit locali **LBL** in ciascun settore di memoria della colonna di settori di memoria. Per esempio, come visibile in **FIG. 2**, il pacchetto di linee di bit locali include quattro linee di bit locali **LBL1 - LBL4** in ciascun settore di memoria, che sono associate ad una stessa linea di bit globale **MBL1, MBL2, ..., MBL256**; in ciascuna colonna di settori di memoria, sia nella semi-matrice superiore che in quella inferiore, sono così previste 256 linee di bit globali, per un totale di 2048 linee di bit globali per l'intera matrice di memoria.

Da un punto di vista fabbricativo, le linee di bit locali sono per esempio definite in un primo strato metallico, e le linee di bit globali sono definite in un



secondo strato metallico, superiore, isolato dal primo strato metallico e che contatta quest'ultimo in punti desiderati.

Come mostrato in FIGG. 2, 3A e 3B, ciascun settore di memoria S0 - S63 include un selettore di linea di bit locale 203 che permette di collegare selettivamente una delle quattro linee di bit locali LBL1 - LBL4 di ciascun pacchetto di linee di bit locali alla rispettiva linea di bit globale MBL1, MBL2, ..., MBL256.

E' previsto un selettore di linea di bit globale 205, che permette di selezionare le linee di bit globali. Il selettore di linea di bit globale 205 collega le linee di bit globali selezionate ad una circuiteria di lettura e ad una circuiteria di programmazione, schematicamente mostrate come un unico blocco 207; in modo noto, la circuiteria di lettura comprende amplificatori di lettura capaci di rilevare una corrente assorbita dalle celle di memoria, e la circuiteria di programmazione comprende elementi di carico di programmazione atti ad applicare una tensione di programmazione ai drain delle celle di memoria selezionate. In FIG. 1, un blocco 101 è inteso ricomprendere i selettori di linea di bit globale 205, la circuiteria di lettura e la circuiteria di programmazione.

In ciascuna semi-matrice HM1 e HM2 sono previste linee di parola WL comuni a tutti i settori di memoria di una

stessa riga di settori di memoria. Selettori di linea di parola superiori ed inferiori 103 e 105 permettono di selezionare le linee di parola WL nella semi-matrice superiore e, rispettivamente, inferiore.

5 I selettori di linea di bit locale, il selettore di linea di bit globale ed i selettori di linea di parola operano sulla base di segnali di indirizzo ADD; in particolare, il selettore di linea di bit locale ed il selettore di linea di parola operano sulla base di una  
10 porzione di indirizzo di riga RADD dei segnali di indirizzo ADD, mentre il selettore di linea di bit globale opera sulla base di una porzione di indirizzo di colonna CADD dei segnali di indirizzo ADD. Per qualsiasi valore dei segnali di indirizzo ADD, viene selezionato uno dei settori di  
15 memoria S0 - S63 e, nel settore di memoria selezionato, viene selezionato un gruppo di celle di memoria che forma un byte od una parola; tali celle di memoria appartengono ad una stessa linea di parola (ad esempio, la linea di parola WLh in FIG. 3B), e a differenti linee di bit locali, appartenenti a pacchetti di linee di bit locali associati a  
20 linee di bit globali diverse. Le linee di bit locali a cui appartengono le celle di memoria selezionate sono collegate alla rispettiva linea di bit globale (ad esempio, le linee di bit globali MBL1, MBL33..., MBL225 in FIG. 3B); i  
25 selettori di linea di bit locale nei rimanenti settori di

memoria della stessa colonna di settori di memoria cui appartiene il settore di memoria selezionato lasciano tutte le linee di bit locali scollegate dalle rispettive linee di bit globali.

5 In particolare, come visibile in FIGG. 3A e 3B, il selettore di linea di bit locale 203 comprende transistor di trasferimento ("pass transistor") controllati da segnali di selezione di linea di bit locale YO1 - YO4, generati da un decodificatore 301, raffigurato come parte del selettore di  
10 linea di parola 103, che riceve un primo sottoinsieme RADD1 degli indirizzi di riga RADD; un secondo sottoinsieme RADD2 degli indirizzi di riga RADD2 è invece fornito ad un altro decodificatore 303, che seleziona le linee di parola WL.

In FIGG. 3A e 3B è anche raffigurata una struttura  
15 gerarchica a due livelli del selettore di linea di bit globale 205. Secondo questo schema di selezione a due livelli, le linee di bit globali in ciascuna colonna di settori di memoria sono raggruppate in gruppi, ciascuno comprendente una pluralità di pacchetti di, ad esempio,  
20 quattro linee di bit globali. Per esempio, se la memoria ha una parola dati di ampiezza pari ad un byte, sono previsti otto gruppi di otto pacchetti di linea di bit globali. Un selettore di primo livello 305 permette di selezionare una linea di bit globale in ciascun pacchetto di linee di bit  
25 globali. Un selettore di secondo livello 307<sup>~</sup> permette di

selezionare uno fra tutti gli otto pacchetti di linee di bit globali in ciascun gruppo. I selettori di primo e di secondo livello comprendono transistor di trasferimento, comandati da segnali di selezione di primo e di secondo livello YN0 - 5 YN4 e YM0 - YM7, rispettivamente, generati da due decodificatori 309 e 311 ognuno alimentato da una rispettiva porzione CADD1, CADD2 degli indirizzi di colonna CADD. Sono previsti tanti selettori di primo e di secondo livello 305 e 307 quanto è il grado di parallelismo della memoria. Per 10 esempio, se la parola dati della memoria ha ampiezza pari ad un byte, sono previsti otto selettori di primo e di secondo livello 305 e 307, che permettono di selezionare simultaneamente otto celle di memoria Flash in un settore di memoria e di renderle accessibili attraverso terminali di 15 ingresso/uscita dati I/O1 - I/O8 della memoria.

Per selezionare una cella di memoria nel settore di memoria S3, ad esempio, la linea di parola alla quale la cella di memoria appartiene è selezionata mediante il selettore di linea di parola 303, la linea di bit locale alla quale è collegata la cella di memoria è selezionata 20 mediante il selettore di linea di bit locale 203 ed è collegata alla rispettiva linea di bit globale; la linea di bit globale alla quale è associata la linea di bit locale selezionata è selezionata dal selettore di linea di bit 25 globale. L'elettrodo di drain della cella di memoria



selezionata è così accoppiato alla circuiteria di lettura, per leggere la cella di memoria, o alla circuiteria di programmazione, per scrivere la cella di memoria.

Come schematicamente mostrato in FIGG. 4A e 4B, ciascuna linea di bit globale ha intrinsecamente associata una capacità parassita; per esempio, riferendosi a FIG. 4A, condensatori CMBL1, CMBL4, CMBL29 e CMBL32 rappresentano, in termini di elementi circuitali concentrati, le capacità parassite associate alle linee di bit globali MBL1, MBL4, MBL29 e MBL32, rispettivamente. La capacità parassita intrinsecamente associata a ciascuna linea di bit globale è la somma di varie componenti, fra cui la capacità delle giunzioni dei transistori di selezione delle linee di bit locali associate alla linea di bit globale, l'accoppiamento capacitivo fra lo strato metallico in cui è formata la linea di bit globale ed i sottostanti/sovrastanti strati di materiale, eccetera.

Secondo una forma di realizzazione della presente invenzione, le capacità parassite associate alle linee di bit globali sono sfruttate come elementi di immagazzinamento dati capacitivi, e quindi come celle di memoria volatili, così da incorporare una memoria volatile nella memoria Flash. Più specificamente, secondo una forma di realizzazione della presente invenzione, la capacità parassita associata ad una generica linea di bit globale è



(in proprio e per gli altri)

sfruttata per formare il condensatore di una cella di memoria simil-DRAM. Per esempio, le capacità parassite **CMBL1**, **CMBL4**, **CMBL29** e **CMBL32** raffigurate in **FIG. 4A** formano quattro celle di memoria simil-DRAM, che possono essere  
5 sfruttate per immagazzinare dati in aggiunta a quelli immagazzinati nelle celle Flash.

Poiché lo schema di decodifica di linea di bit globale è già progettato per permettere di selezionare specifiche linee di bit globali, in funzione dell'indirizzo di colonna  
10 **CADD**, la cella di memoria simil-DRAM associata a ciascuna linea di bit globale può essere selettivamente acceduta attraverso lo stesso schema di decodifica di linea di bit globale della memoria Flash. In particolare, una generica delle celle di memoria simil-DRAM è acceduta selezionando la  
15 linea di bit globale che ha associata la capacità parassita costituente l'elemento di immagazzinamento della cella di memoria simil-DRAM. Per esempio, la cella di memoria **CMBL1** è acceduta asserendo i segnali **YN0** e **YM0**, e tenendo deasseriti gli altri segnali **YN1 - YN4** e **YM1 - YM7**. In questo modo, la  
20 linea di bit globale **MBL1**, e quindi l'armatura libera della capacità **CMBL1**, può essere connessa ad un blocco circuitale **401**, inteso includere un circuito amplificatore di lettura atto a leggere le celle di memoria simil-DRAM, o ad un circuito di scrittura atto a scrivere le celle di memoria  
25 simil-DRAM.

E' così possibile incorporare una memoria DRAM nella memoria Flash sfruttando elementi già presenti nel circuito integrato, come le capacità parassite che sono inerentemente associate alle linee di bit globali ed il selettore di linea di bit globale. Questa memoria DRAM è quindi in un certo  
5 senso "nascosta" dietro la memoria Flash.

Si osservi che la DRAM incorporata ha lo stesso grado di parallelismo della memoria Flash. Ciò vuol dire che se la memoria Flash è progettata per permettere l'accesso ad un  
10 byte o ad una parola nella memoria Flash, lo stesso vale per la memoria DRAM incorporata. Ciò è mostrato schematicamente in FIG. 4B.

Nella forma di realizzazione esemplificativa qui discussa, nella memoria Flash risulta così incorporata una  
15 DRAM con 4096 celle di memoria (256 celle DRAM per ciascuna colonna di settori di memoria, otto colonne di settori di memoria in ciascuna semi-matrice).

FIG. 5 mostra schematicamente una forma di realizzazione del blocco circuitale 401 di FIGG. 4A e 4B.

20 Il circuito di scrittura delle celle DRAM comprende un elemento di innalzamento di tensione ed un elemento di abbassamento di tensione, connessi alla rispettiva linea di bit globale MBL; in particolare, l'elemento di innalzamento di tensione comprende un MOSFET a canale P P1, e l'elemento  
25 di abbassamento di tensione comprende un MOSFET a canale N

N1; i MOSFET P1 ed N1 sono connessi in serie tra una linea di alimentazione di tensione VDD (ad esempio, 5 V o 3 V) ed una linea di tensione di riferimento GND (massa), ed hanno elettrodi di drain collegati l'un l'altro ed alla rispettiva  
5 linea di bit globale MBL. Un circuito di controllo 501 controlla i MOSFET P1 ed N1. Il circuito di controllo 501 riceve il dato da scrivere da un rispettivo terminale di ingresso/uscita dati I/O della memoria (uno qualsiasi degli otto terminali I/O1 - I/O8 mostrati in FIGG. 4A e 4B). I  
10 MOSFET P1 ed N1 sono normalmente tenuti spenti, così che il circuito di scrittura è mantenuto in una condizione di alta impedenza d'uscita. Durante un'operazione di scrittura, il circuito di controllo 501 accende uno dei due MOSFET P1 e N1, in funzione del dato da scrivere nella cella di memoria  
15 DRAM: per esempio, se il dato da scrivere è uno "0", il MOSFET di abbassamento di tensione N1 è acceso, così da scaricare a massa la capacità CMBL della linea di bit globale MBL; al contrario, se il dato da scrivere è un "1", il MOSFET di innalzamento di tensione P1 è acceso, così da  
20 caricare a VDD la capacità CMBL.

Il circuito di lettura delle celle DRAM comprende un comparatore 503, con un ingresso collegabile, attraverso il selettore di linea di bit globale, ad una linea di bit globale specificata dalla porzione di indirizzo di colonna  
25 CADD, e un altro ingresso collegato ad una linea di segnale



di riferimento REF. Il comparatore 503 alimenta un bistabile ("latch") 505 che è connesso al terminale di ingresso/uscita dati I/O della memoria. Il comparatore 503 confronta un segnale che si sviluppa sulla linea di bit globale selezionata con il segnale di riferimento, e fornisce uno stato logico di uscita che viene memorizzato nel bistabile 505.

Si osservi che il comparatore 503 ed il bistabile 505 possono essere già parte della circuiteria di lettura prevista per leggere le celle di memoria Flash, e possono in tal caso essere condivisi, evitando così di dover prevedere appositi circuiti per la DRAM.

FIG. 6 mostra una disposizione circuitale secondo una forma di realizzazione della presente invenzione per la generazione del segnale di riferimento REF usato per leggere la DRAM. Specificamente, si sfrutta una struttura di linee di bit globali fittizie DMBL; per fittizio si intende qui non attivamente utilizzato per la memorizzazione di informazioni. Per ragioni di coincidenza dal punto di vista elettrico, la struttura fittizia è strutturalmente identica alla struttura di linee di bit globali alla quale appartiene una qualsiasi linea di bit globale; come accennato in precedenza, nella forma di realizzazione esemplificativa dell'invenzione qui discussa, una qualunque linea di bit globale appartiene ad una struttura di linee di bit globali

comprendente otto pacchetti di quattro linee di bit globali ciascuno; la struttura fittizia comprende dunque parimenti un gruppo di trentadue linee di bit globali fittizie, suddiviso in otto pacchetti di quattro linee di bit globali fittizie. Sempre per ragioni di coincidenza elettrica, sono anche previste linee di bit locali fittizie **DLBL** di celle di memoria Flash fittizie, e selettori di linea di bit locale fittizi; in particolare, una siffatta struttura di elementi fittizi può essere prevista in ciascuna delle colonne di settori di memoria nelle semi-matrici superiore ed inferiore. La struttura di elementi fittizi include anche una struttura di selettore di linea di bit globale fittizia, che comprende un selettore di primo livello fittizio ed un selettore di secondo livello fittizio. I selettori di primo e di secondo livello fittizi sono tali che una linea di bit globale fittizia è sempre selezionata, mentre le altre linee di bit globali fittizie sono sempre tenute deselezionate, e sono presenti soltanto per ragioni di coincidenza elettrica, per riprodurre gli effetti che le linee di bit globali non selezionate hanno sulla generica linea di bit globale selezionata. La capacità parassita **CREF** associata alla linea di bit globale fittizia selezionata costituisce una cella simil-DRAM di riferimento.

Associato alla struttura di linee di bit globali fittizie è un circuito di pre-carica per pre-caricare la

cella DRAM di riferimento ad uno stato intermedio tra gli stati che corrispondono agli stati logici "1" e "0".

Nell'esempio mostrato, il circuito di pre-carica comprende una rete di partizione di tensione, che comprende per

5 esempio due resistenze R1, R2 connesse in serie tra la tensione di alimentazione VDD e la massa GND; un elemento interruttore, per esempio un MOSFET a canale N N2, è controllato da un segnale di pre-carica PCH ed è acceso per

abilitare la pre-carica la cella DRAM di riferimento alla  
10 metà del valore della tensione di alimentazione VDD ( $VDD/2$ ).

In particolare, la pre-carica della cella DRAM di riferimento è effettuata prima di ogni operazione di lettura delle celle della DRAM incorporata. In questo modo, si tiene conto della perdita di carica dovuta alle correnti di

15 perdita. In caso il dato immagazzinato nella cella DRAM da leggere sia uno "0", la perdita di carica riduce la differenza in tensione tra la cella DRAM da leggere e la cella DRAM di riferimento, poiché la tensione sul condensatore di quest'ultima tende a scendere da  $VCC/2$ . In

20 caso il dato da leggere sia un "1", è ragionevolmente atteso che sia la cella DRAM da leggere, sia la cella DRAM di riferimento subiranno una perdita di carica sostanzialmente identica, a causa del fatto che la struttura fittizia è sostanzialmente identica a quella di matrice.

25 Il funzionamento della memoria sarà ora descritto

facendo riferimento ai diagrammi temporali di FIGG. 7 e 8.

Si osservi che, nella forma di realizzazione dell'invenzione qui descritta, la memoria Flash e la DRAM opereranno in modo mutuamente esclusivo. Quando la memoria Flash è acceduta, le capacità parassite delle linee di bit globali sono caricate/scaricate/non disturbate in funzione delle celle di memoria Flash a cui si accede e dei dati in esse immagazzinati; pertanto, in conseguenza di un accesso alla memoria Flash, almeno alcuni dei dati immagazzinati nella DRAM andranno perduti.

Si osservi che questa non è una eccessiva limitazione: l'accesso alla memoria Flash può avere luogo di tanto in tanto, e la DRAM può essere utilizzata come area di immagazzinamento provvisorio di dati negli intervalli di tempo tra gli accessi alla memoria Flash. Per esempio, la memoria Flash può essere acceduta per recuperare una porzione dei dati in essa immagazzinati, per esempio una porzione di codice che deve essere eseguito da un microprocessore; la porzione di codice recuperata può essere immagazzinata nella DRAM, e le istruzioni del codice essere recuperate poi dalla DRAM, invece che dalla memoria Flash.

Prima di accedere alla DRAM per scrivere o leggere dati, l'accesso alle celle di memoria Flash dovrà essere interdetto. Questo può per esempio essere realizzato semplicemente forzando in un stato disabilitato i



segnali di selezione di linea di bit locale **Y01 - Y04** di  
tutti i selettori di linea di bit locale, così che tutti i  
transistor di trasferimento del selettore di linea di bit  
locale sono forzati spenti. Ciò assicura che le linee di bit  
5 locali, e quindi i drain delle celle di memoria Flash ad  
esse collegati, siano isolate dalle linee di bit globali.

Il funzionamento della DRAM nascosta sarà descritto  
facendo dapprima riferimento ad un'operazione di scrittura,  
e poi ad un'operazione di lettura.

#### 10 Operazione di scrittura

Riferendosi a **FIG. 4A**, si supponga che si debba  
scrivere un dato nella cella DRAM che ha come elemento di  
immagazzinamento il condensatore **CMBL1**, ovverosia la  
capacità parassita della linea di bit globale **MBL1**.

15 Sfruttando i segnali di indirizzo di colonna ed il selettore  
di linea di bit globale della memoria Flash, la linea di bit  
globale **MBL1** viene selezionata. Nel caso esemplificativo qui  
discusso, il segnale di selezione di primo livello **YN0** è  
asserito, mentre rimanenti segnali di selezione di primo  
20 livello **YN1 - YN3** sono mantenuti deasseriti, ed il segnale  
di selezione di secondo livello **YM0** è asserito, mentre i  
rimanenti segnali di selezione di secondo livello **YM1 - YM7**  
sono mantenuti deasseriti.

Si osservati che, per evitare qualsiasi condivisione di  
25 carica tra le capacità parassite associate a linee di bit



globali diverse, è preferibile che l'asserzione dei segnali di selezione **YN0** e **YM0** che conduce alla selezione della linea di bit globale desiderata **MBL1** abbia luogo soltanto dopo che tutti gli altri segnali di selezione di primo e

5 secondo livello sono stati deasseriti, ovverosia i segnali di selezione **YN0** ed **YM0** sono asseriti (**FIG. 7**, istante **t1**) a partire da una condizione in cui tutti i segnali di selezione di primo e secondo livello sono in uno stato deasserito.

10 Il circuito di scrittura, inizialmente mantenuto in una condizione di alta impedenza dal circuito di controllo di scrittura **501** (MOSFET **P1** ed **N1** spenti), viene abilitato (istante **t2**). Uno dei MOSFET **P1** e **N1** viene acceso dal circuito di controllo di scrittura **501**, in funzione del dato

15 da scrivere, ricevuto sul terminale di ingresso/uscita dati I/O della memoria. In particolare, per scrivere un "1", il transistor di innalzamento di tensione è acceso (segnale **P-UP** asserito alto), ed il transistor di abbassamento di tensione è tenuto spento (segnale **P-DW** tenuto basso): la

20 capacità **CMBL1** è così caricata alla tensione di alimentazione **VDD**; per scrivere uno "0", il transistor di innalzamento di tensione è tenuto spento, ed il transistor di abbassamento di tensione è acceso: la capacità **CMBL1** è così scaricata a massa.

25 Dopo un tempo sufficiente affinché la capacità **CMBL1** si

carichi alla tensione di alimentazione **VDD** o si scarichi a massa, i segnali di selezione di primo e secondo livello **YN0** e **YM0** sono deasseriti (istante **t3**), così che la linea di bit globale **MBL3** è isolata, ed il circuito di scrittura è poi  
5 riportato nella condizione di alta impedenza (istante **t4**).

Si sottolinea che tutte le operazioni precedentemente descritte sono eseguite in parallelo su tutte le celle DRAM che costituiscono il byte o la parola della DRAM, che, nella presente forma di realizzazione, ha la stessa dimensione  
10 della parola dati della memoria Flash.

#### Operazione di lettura

Si faccia nuovamente l'ipotesi che si debba accedere alla cella DRAM che ha il condensatore di immagazzinamento formato dalla capacità parassita **CMBL1**, associata alla linea  
15 di bit globale **MBL1**, questa volta per leggere il dato in essa immagazzinato.

Come nel caso dell'operazione di scrittura, la linea di bit globale **MBL1** viene selezionata: il segnale di selezione di primo livello **YN0** è asserito, mentre i rimanenti segnali  
20 di selezione di primo livello **YN1** - **YN3** sono tenuti deasseriti, ed il segnale di selezione di secondo livello **YM0** è asserito, mentre i rimanenti segnali di selezione di secondo livello **YM1** - **YM7** sono tenuti deasseriti. Anche in questo caso, per evitare qualsiasi condivisione di carica  
25 tra le capacità parassite associate a linee di bit globali

diverse, è preferibile che i segnali di selezione **YNO** e **YMO** siano asseriti (**FIG. 8**, istante **t1**) a partire da una condizione nella quale tutti i segnali di selezione di primo e secondo livello sono deasseriti.

5        La carica immagazzinata nella capacità **CMBL1** è poi rilevata (istante **t2**). La linea di bit globale selezionata **MBL1** è accoppiata ad un terminale di ingresso del comparatore **503**, che riceve all'altro terminale di ingresso il segnale di riferimento **REF**, in questo esempio generato  
10    dalla struttura mostrata in **FIG. 6**; si sottolinea che l'operazione di pre-carica della cella di riferimento precede l'operazione di lettura che si sta descrivendo. La fase di rilevamento termina (istante **t3**) dopo un tempo sufficiente affinché l'uscita **SD** del comparatore **503** si  
15    stabilizzi. Il dato rilevato è così disponibile all'uscita del comparatore **503**.

Come in qualsiasi DRAM, l'operazione di lettura di una cella DRAM distrugge il dato immagazzinato: effetti di condivisione di carica dovuti alla inevitabile presenza di  
20    elementi parassiti causano infatti la perdita della carica immagazzinata nella capacità **CMBL1** durante la lettura. È così necessario riscrivere il dato nella cella DRAM acceduta. A questo scopo, il dato, presente all'uscita del comparatore **503**, è memorizzato nel bistabile **505** (quando il  
25    segnale **LTC** viene asserito, istante **t3**) viene eseguita



un'operazione di scrittura simile a quello precedentemente descritto. Il dato memorizzato nel bistabile è retroalimentato al circuito di controllo di scrittura; il circuito di scrittura, finora tenuto disabilitato, è  
5 abilitato, ed i transistor di innalzamento e di abbassamento di tensione sono accesi/spenti (segnali P-UP e P-DW asseriti o tenuti deasseriti) in funzione dal dato da riscrivere.

Le tradizionali DRAM necessitano di essere periodicamente rinfrescate, così che i dati immagazzinati  
10 non vadano perduti a causa di correnti di perdita.

Nel caso presente, si osservi che le capacità parassite sfruttate come condensatori di immagazzinamento DRAM sono notevolmente più grandi delle piccole capacità normalmente usate per realizzare grandi disposizioni di celle DRAM.  
15 Capacità parassite dell'ordine di 1 pF possono essere tipiche le quali, in considerazione delle correnti di perdita attese, hanno tempi di scarica relativamente lunghi (dell'ordine dei millisecondi). Pertanto, si potrebbero evitare schemi di rinfresco dei dati.

20 Schemi di rinfresco dei dati possono in ogni caso essere implementati, per rinfrescare periodicamente i dati immagazzinati nelle celle DRAM, assicurando così che i dati immagazzinati non vadano perduti a causa di correnti di perdita. In particolare, l'operazione di rinfresco dei dati  
25 può essere affidata all'utilizzatore della memoria, come

nelle tradizionali DRAM: la DRAM è periodicamente acceduta in lettura, così che le informazioni immagazzinate sono automaticamente riscritte nelle celle DRAM. In alternativa, nella memoria possono essere previsti circuiti interni di auto-rinfresco, per condurre autonomamente il rinfresco dei dati della DRAM.

Nella forma di realizzazione dell'invenzione qui descritta, le capacità parassite associate alle linee di bit globali sono sfruttate per costituire elementi capacitivi di immagazzinamento di dati. Si osservi tuttavia che non solo le linee di bit globali, ma anche le linee di bit locali hanno intrinsecamente associate capacità parassite. Per esempio, in **FIG. 4A** l'elemento circuitale concentrato **CLBL1** indica la capacità parassita associata alla linea di bit locale **LBL1** nel settore di memoria **S3**.

La Richiedente ha osservato che anche le capacità parassite associate alle linee di bit locali possono essere sfruttate come elementi di immagazzinamento capacitivo di celle di memoria simil-DRAM, nello stesso modo in cui si sfruttano le capacità parassite associate alle linee di bit globali. In questo caso, per accedere ad una specifica cella di memoria simil-DRAM, è necessario sfruttare anche i selettori di linea di bit locale.

Sfruttare le capacità parassite inerentemente associate alle linee di bit locali, invece delle capacità parassite

associate con le linee di bit globali, permette di ottenere, senza alcun incremento in termini di area di semiconduttore, una memoria simil-DRAM che, nell'esempio presente, è quattro volte più grande della memoria simil-DRAM che si potrebbe  
5 ottenere usando le capacità parassite associate alle linee di bit globali.

Peraltro, la Richiedente ha osservato che sfruttare le capacità parassite associate alle linee di bit locali non permette di lasciare imperturbate le celle di memoria Flash  
10 quando si utilizza la memoria simil-DRAM. Infatti, come si può osservare in FIG. 4, le cariche/scariche della capacità CLBL1 possono provocare una sollecitazione elettrica sulle celle di memoria Flash che hanno i drain collegati alla linea di bit locale LBL1.

15 Al contrario, sfruttando le capacità parassite associate alle linee di bit globali, è possibile operare sulla memoria simil-DRAM senza disturbare la memoria Flash; infatti, quando si opera sulla memoria simil-DRAM, i selettori di linea di bit locale possono essere tenuti  
20 disabilitati, così che le linee di bit locali sono scollegate dalle rispettive linee di bit globali.

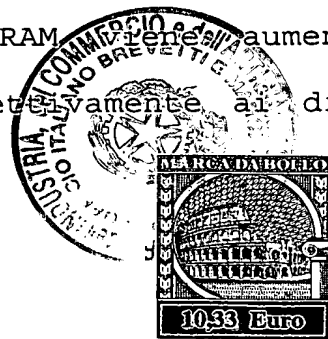
In ogni caso, se si accetta che le celle di memoria Flash siano lievemente sollecitate durante il funzionamento della memoria simil-DRAM, l'uso delle capacità parassite  
25 associate alle linee di bit locali permette di ottenere una

memoria simil-DRAM piuttosto grande.

Riguardo alla dimensione della DRAM incorporata, nella forma di realizzazione esemplificativa qui discussa una cella DRAM è associata a ciascuna linea di bit globale; una  
5 DRAM con 4096 celle di memoria è così incorporata nella memoria Flash (256 celle DRAM per ciascuna colonna di settori di memoria, otto colonne di settori di memoria in ciascuna semi-matrice).

Forme di realizzazione alternative permettono di  
10 aumentare la taglia della DRAM incorporata nella memoria Flash.

Per esempio, le linee di bit globali possono essere segmentate: ciascuna linea di bit globale può essere segmentata in due o più segmenti di linea di bit globale.  
15 Quando si deve accedere alla memoria Flash, i diversi segmenti di una stessa linea di bit globale sono connessi l'un l'altro per formare una sola linea di bit globale; al contrario, i diversi segmenti di linea di bit globale sono tenuti separati l'uno dall'altro quando si deve accedere  
20 alla DRAM. Elementi interruttori, per esempio transistor di trasferimento, sono idonei a consentire questo frazionamento di linea di bit globale. In tal modo, sfruttando la capacità parassita associata a ciascun segmento di linea di bit globale, il numero delle celle DRAM per linea di bit globale è aumentato.  
25 Chiaramente, per poter accedere selettivamente ai diversi



segmenti di linea di bit globale, il selettore di linea di bit globale deve essere espanso.

In alternativa, il numero di linee di bit globali (nell'esempio mostrato, una ogni quattro linee di bit locali) può essere incrementato, ad esempio raddoppiato. In particolare, il numero di linee di bit globali può essere aumentato prevedendo linee di bit globali fittizie, lasciate flottanti quando si accede alla memoria Flash; si osservi che tali linee di bit globali fittizie potrebbero essere vantaggiosamente sfruttate anche dalla memoria Flash, utilizzandole per associare alle celle di riferimento necessarie alla lettura delle celle di memoria Flash le capacità parassite necessarie per avere coincidenza con le celle di memoria Flash da leggere.

La taglia della DRAM può essere ulteriormente aumentata adottando un approccio multi-livello simile a quello adottato in alcune memorie non-volatili, ad esempio memorie Flash. Per esempio, i condensatori di immagazzinamento delle celle simil-DRAM possono essere caricati a quattro distinti livelli di tensione, ad esempio la massa, la tensione di alimentazione, e due ulteriori livelli intermedi tra la massa e la tensione di alimentazione. Assumendo ad esempio una tensione di alimentazione VDD di 3 V, il condensatore di immagazzinamento delle celle simil-DRAM può essere caricato a 0 V, 1 V, 2 V e 3 V. In questo modo, ciascuna cella DRAM è



capace di immagazzinare due bit, e la taglia della DRAM è raddoppiata. L'approccio multi-livello è difficile da implementare nelle convenzionali DRAM, in cui i condensatori di immagazzinamento sono piccoli e gli effetti di  
5 condivisione di carica impediscono di discriminare tra tensioni di carica leggermente diverse. Nel caso presente, il condensatore di immagazzinamento delle celle DRAM è invece relativamente grande e poco influenzato dagli effetti di condivisione di carica.

10 Nel caso in cui la DRAM multi-livello è incorporata in una memoria Flash multi-livello, gli stessi circuiti di lettura provvisti per leggere le celle di memoria Flash multi-livello possono essere sfruttati per leggere le celle DRAM multi-livello.

15 L'architettura di DRAM incorporata può essere vantaggiosamente sfruttata in memorie Flash a doppio banco di memoria: in questo caso, un banco della memoria Flash e la DRAM incorporata nell'altro banco della memoria Flash possono operare simultaneamente. La DRAM può essere usata  
20 come memoria d'appoggio (per esempio, una memoria d'appoggio di scrittura che immagazzina dati da scrivere nell'altro banco della memoria Flash), o come memoria ombra.

La presente invenzione è stata qui descritta attraverso alcune sue forme di realizzazione, in combinazione con una  
25 memoria Flash. I tecnici del ramo riconosceranno prontamente

che l'invenzione può in realtà essere applicata ad altri  
tipi di memorie, non-volatili o volatili. Per esempio,  
sfruttando la capacità parassita delle linee di bit,  
l'invenzione può essere sfruttata in una DRAM, per creare  
5 una memoria incorporata, secondaria, o in un SRAM, in una  
ROM a maschera, in una EPROM o in una EEPROM. L'invenzione  
può essere applicata in generale ogniqualevolta si abbia una  
struttura a matrice.

Ing. Marco MACCALLI

RIVENDICAZIONI

N. Iscriz. 826

(in proprio e per gli altri)

1. Una memoria a semiconduttore comprendente:

una pluralità di celle di memoria (MC), disposte

5 secondo una pluralità di linee (LBL);

una pluralità di linee di segnale di accesso alle celle di memoria (MBL), ciascuna associata ad almeno una rispettiva linea di celle di memoria, per accedere alle celle di memoria dell'almeno una rispettiva linea di celle di memoria, ciascuna linea di segnale avendo intrinsecamente associata ad essa una capacità (CMBL),

caratterizzata dal fatto di comprendere inoltre:

una pluralità di celle di memoria volatili, ciascuna cella di memoria volatile avendo un elemento di immagazzinamento capacitivo,

15 ciascuna cella di memoria volatile essendo associata ad una rispettiva linea di segnale, l'elemento di immagazzinamento capacitivo di ciascuna cella di memoria volatile comprendendo la capacità intrinsecamente associata alla rispettiva linea di segnale.

2. La memoria a semiconduttore della rivendicazione 1, in cui detta capacità è una capacità parassita intrinsecamente associata alla linea di segnale.

25



3. La memoria a semiconduttore della rivendicazione 1 o 2, comprendente inoltre:

un selettore di linea di segnale (205) atto a selezionare la linea di segnale per accedere alle celle di memoria, e

un selettore di cella di memoria volatile per selezionare le celle di memoria volatili,

il selettore di cella di memoria volatile comprendendo il selettore di linea di segnale.

10

4. La memoria a semiconduttore della rivendicazione 3, in cui dette linee di celle di memoria sono linee di bit della memoria.

15

5. La memoria a semiconduttore della rivendicazione 4, in cui dette linee di segnale sono linee di bit globali, e dette linee di bit sono linee di bit locali della memoria, ciascuna linea di bit globale essendo associata ad almeno due linee di bit locali (LBL1-LBL4), e comprendente un selettore di linea di bit locale (203) per collegare selettivamente le linee di bit locali alla rispettiva linea di bit globale.

20

6. La memoria a semiconduttore della rivendicazione 5, in cui dette celle di memoria sono disposte a formare almeno

25

due settori di memoria (S0-S63), la pluralità di linee di bit locali associate a ciascuna linea di bit globale comprendendo almeno una linea di bit locale (LBL1-LBL4) in ognuno degli almeno due settori di memoria.

5

7. La memoria a semiconduttore secondo la rivendicazione 6, in cui il selettore di linea di bit locale mantiene le linee di bit locali scollegate dalla rispettiva linea di bit globale quando si accedono le celle di memoria

10 volatili.

8. La memoria a semiconduttore secondo una qualunque delle rivendicazioni precedenti, comprendente un circuito per scrivere dati nelle celle di memoria volatili.

15

9. La memoria a semiconduttore secondo la rivendicazione 8, in cui il circuito per scrivere dati nelle celle di memoria volatili comprende un circuito di carica/scarica (P1,N1,501) per caricare o scaricare gli elementi di immagazzinamento capacitivi, in funzione dei dati da scrivere.

20

10. La memoria a semiconduttore secondo la rivendicazione 8 o 9, comprendente un circuito per leggere dati immagazzinati nelle celle di memoria volatili.

25

**Ing. Marco MACCALLI**

N. Iscriz. 826

(in proprio e per gli altri)

11. La memoria a semiconduttore secondo la rivendicazione 10, in cui il circuito per leggere dati immagazzinati nelle celle di memoria volatili comprende un  
5 circuito per riscrivere i dati letti nelle celle di memoria volatili.

12. La memoria a semiconduttore secondo la rivendicazione 11, in cui il circuito per riscrivere i dati  
10 comprende il circuito per scrivere dati.

13. La memoria a semiconduttore di una qualunque delle rivendicazioni precedenti, in cui dette celle di memoria sono celle di memoria non-volatili.

15

14. Un metodo di immagazzinamento dati, comprendente:  
provvedere una pluralità di celle di memoria (MC) a semiconduttore, disposte in una pluralità di linee (LBL);  
provvedere una pluralità di linee di segnale di accesso  
20 alle celle di memoria (MBL), ciascuna associata ad almeno una rispettiva linea di celle di memoria, per accedere le celle di memoria dell'almeno una rispettiva linea di celle di memoria;

usare le celle di memoria per immagazzinare primi dati;  
25 caratterizzato dal fatto di comprendere inoltre:

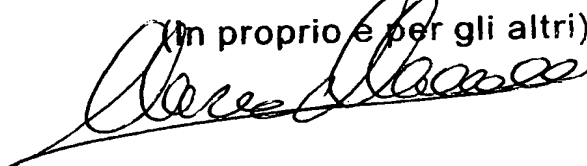
usare capacità intrinsecamente associate alle linee di  
segnale di accesso alle celle di memoria come elementi di  
immagazzinamento capacitivi,

usare gli elementi di immagazzinamento capacitivi per  
5 immagazzinare in maniera volatile secondi dati.

**Ing. Marco MACCALLI**

N. Iscriz. 826

(In proprio e per gli altri)



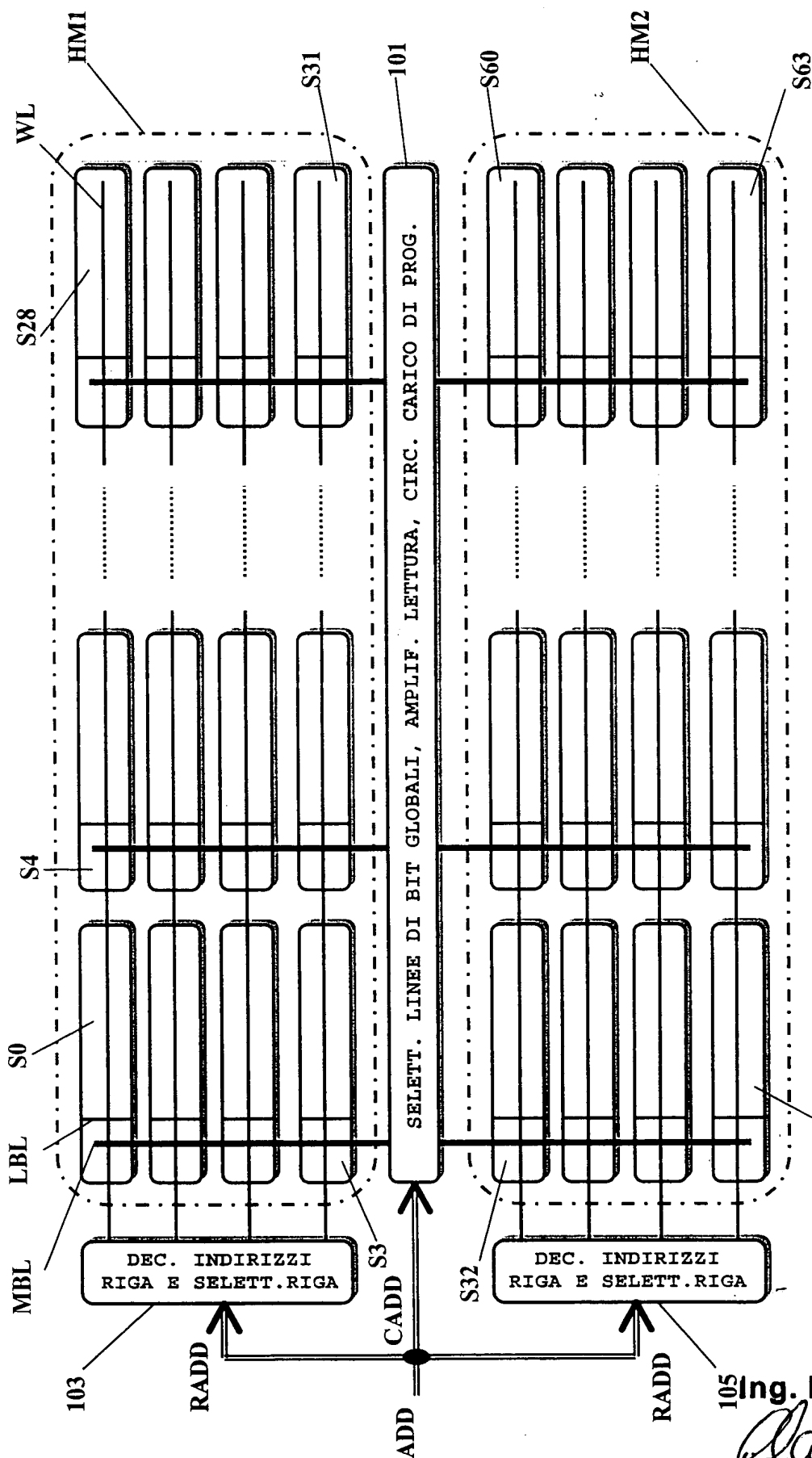


FIG. 1

Ing. Marco MACCALLI  
N. Iscriz. 826  
(in proprio e per gli altri)



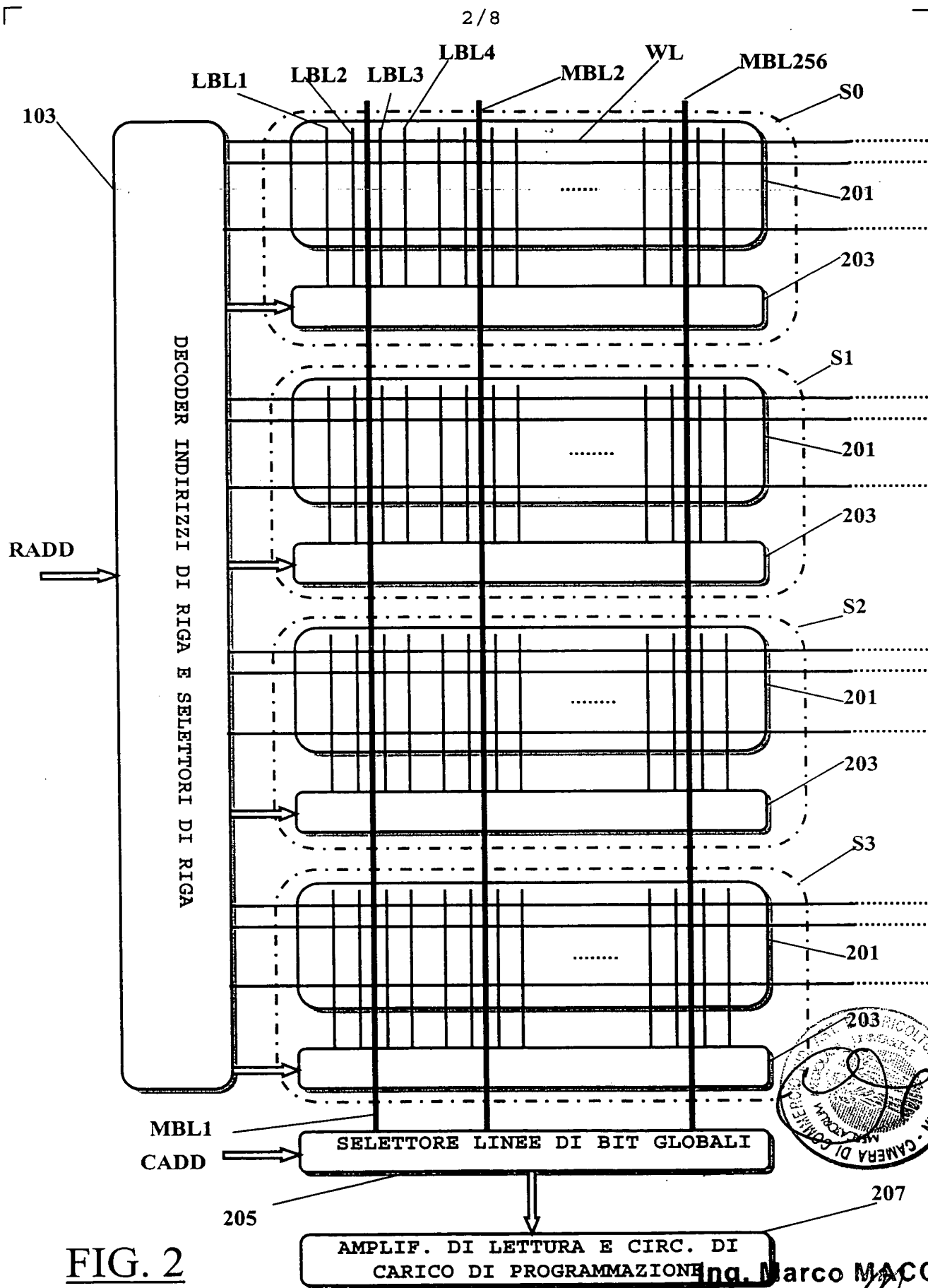
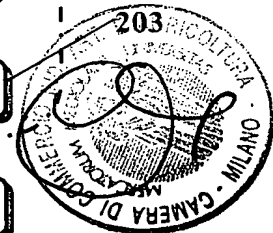


FIG. 2



Ing. Marco MACCALLI  
N. Iscriz. 526  
(in proprio e per gli altri)

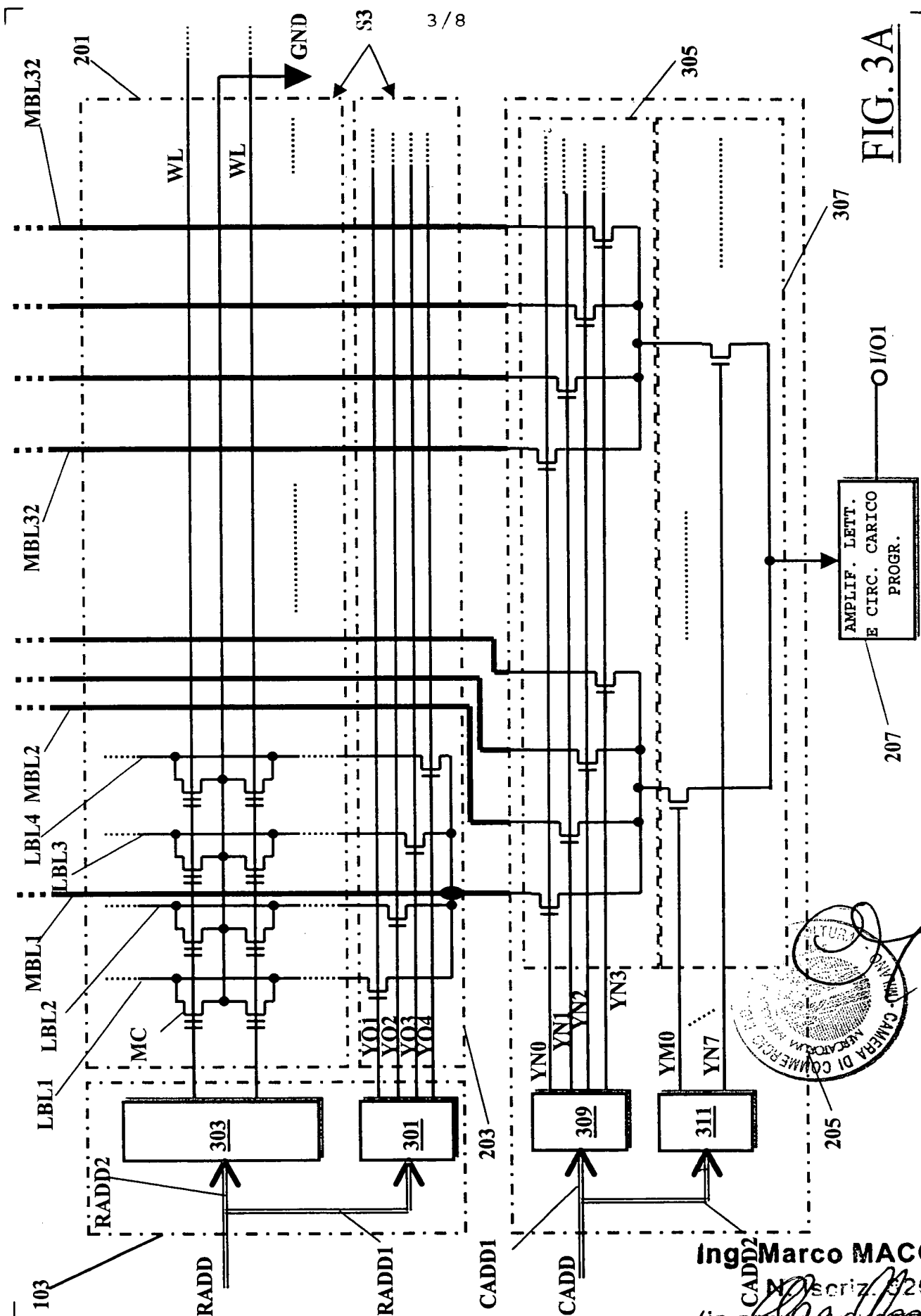
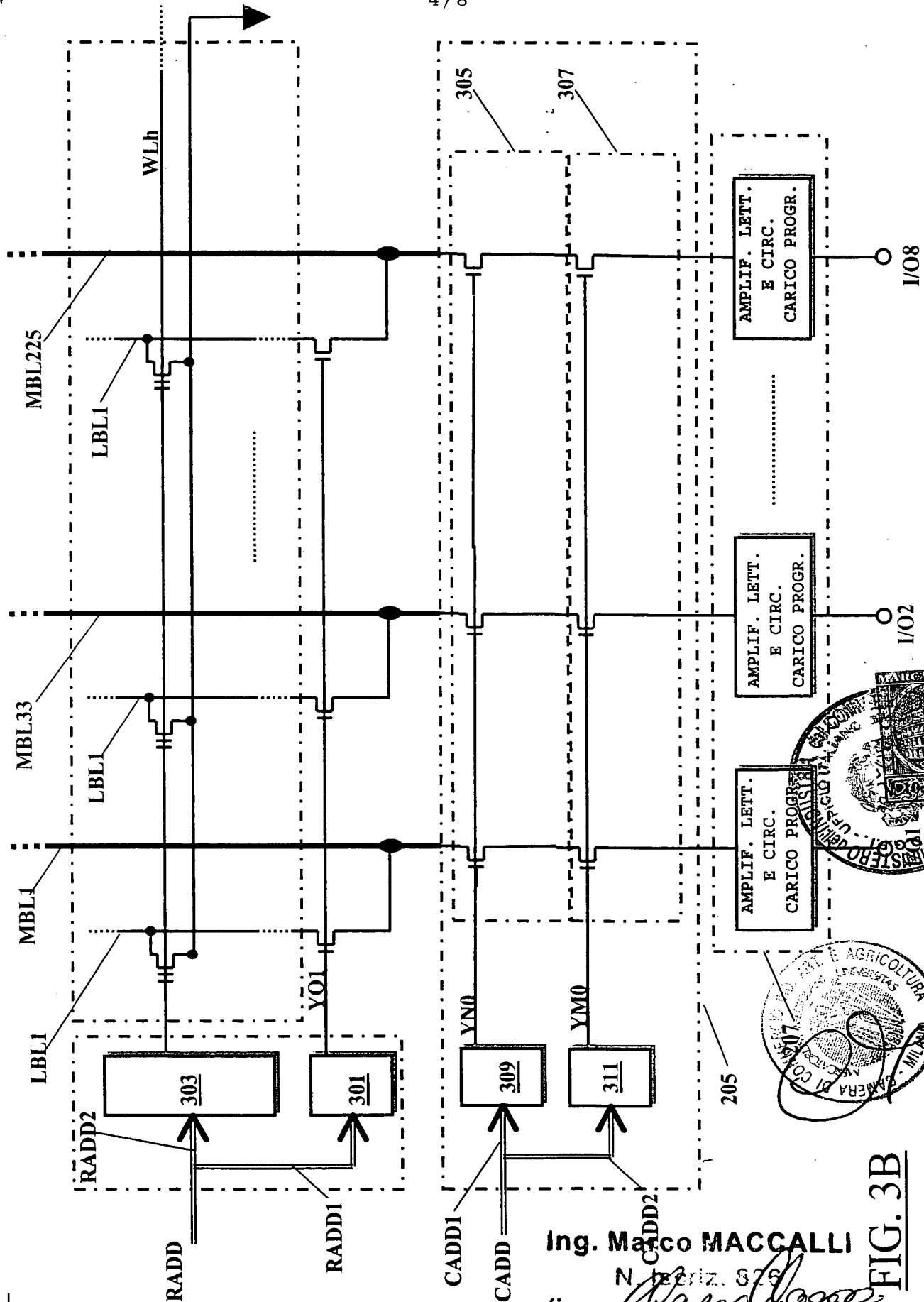


FIG. 3A

Ing. Marco MACCALLI  
N. 26  
(in propria)



Ing. Marco MACCALLI

N. 12/12. 029

(in proprio per gli atti)

FIG. 3B

MI 2002 A 002464

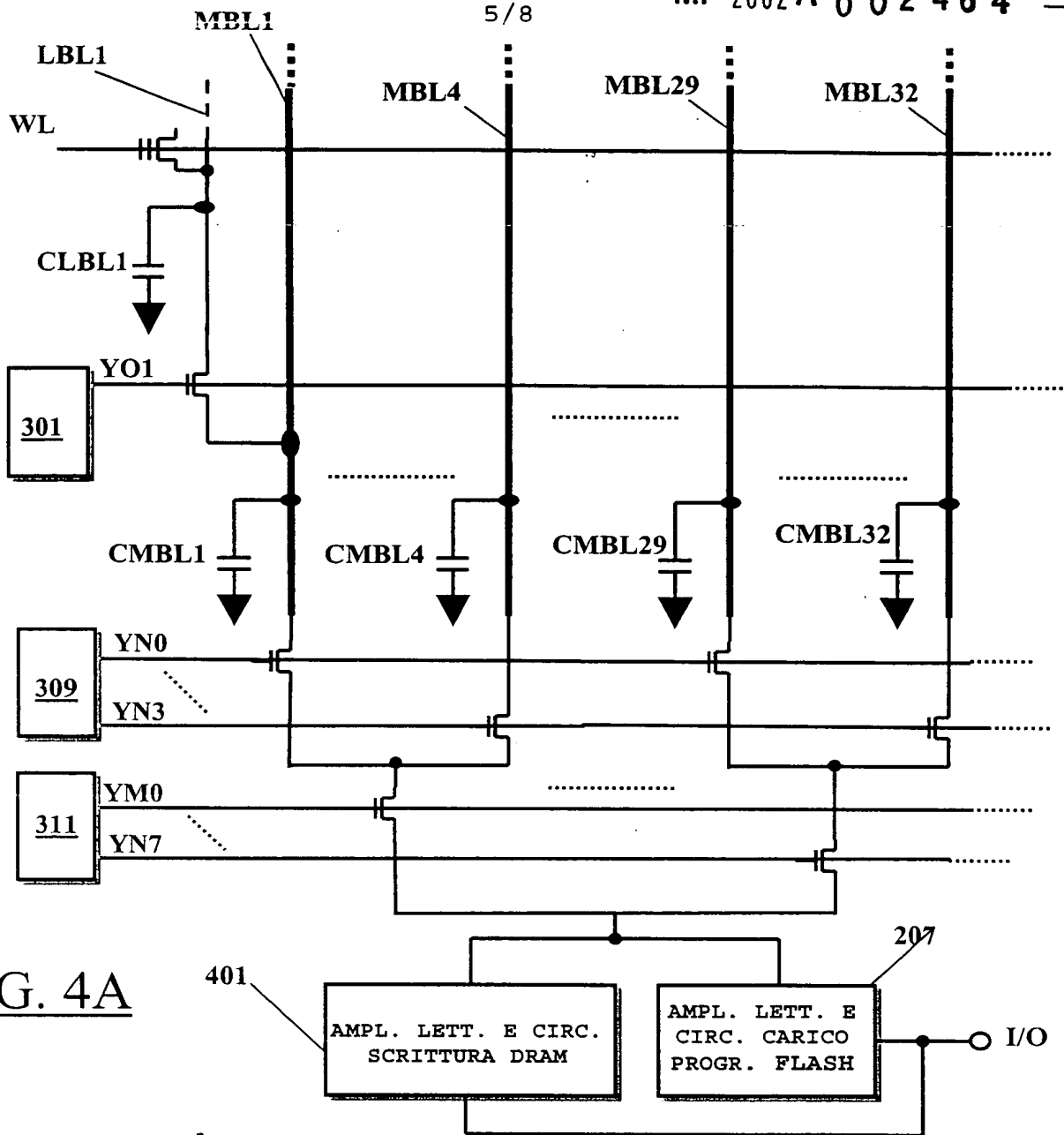


FIG. 4A

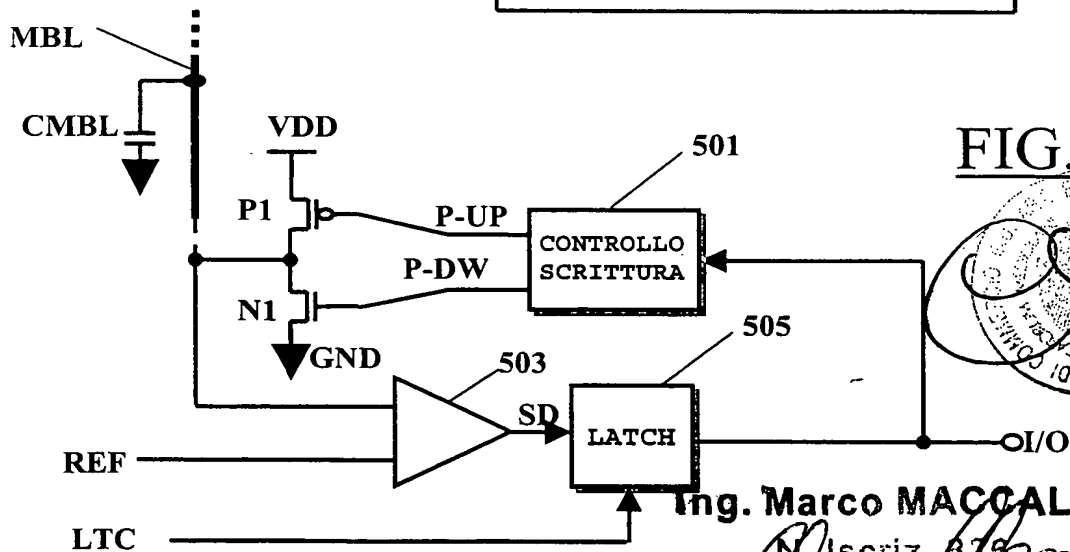
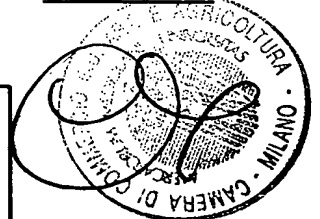
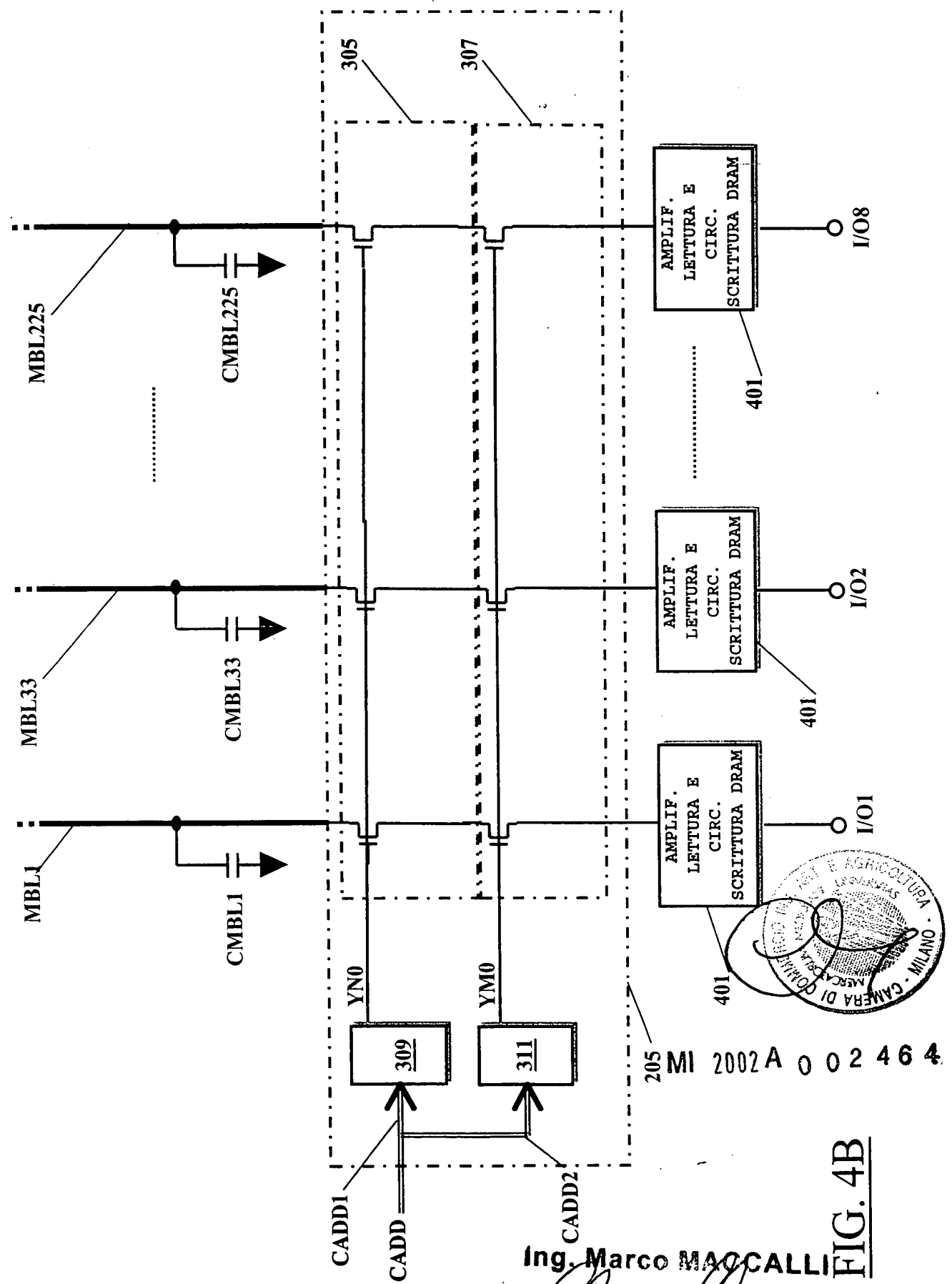


FIG. 5



Ing. Marco MACCALLI  
 N. Iscriz. 879  
 (in proprio e per gli altri)

6/8

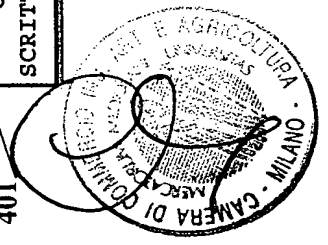


205 MI 2002 A 0 0 2 4 6 4

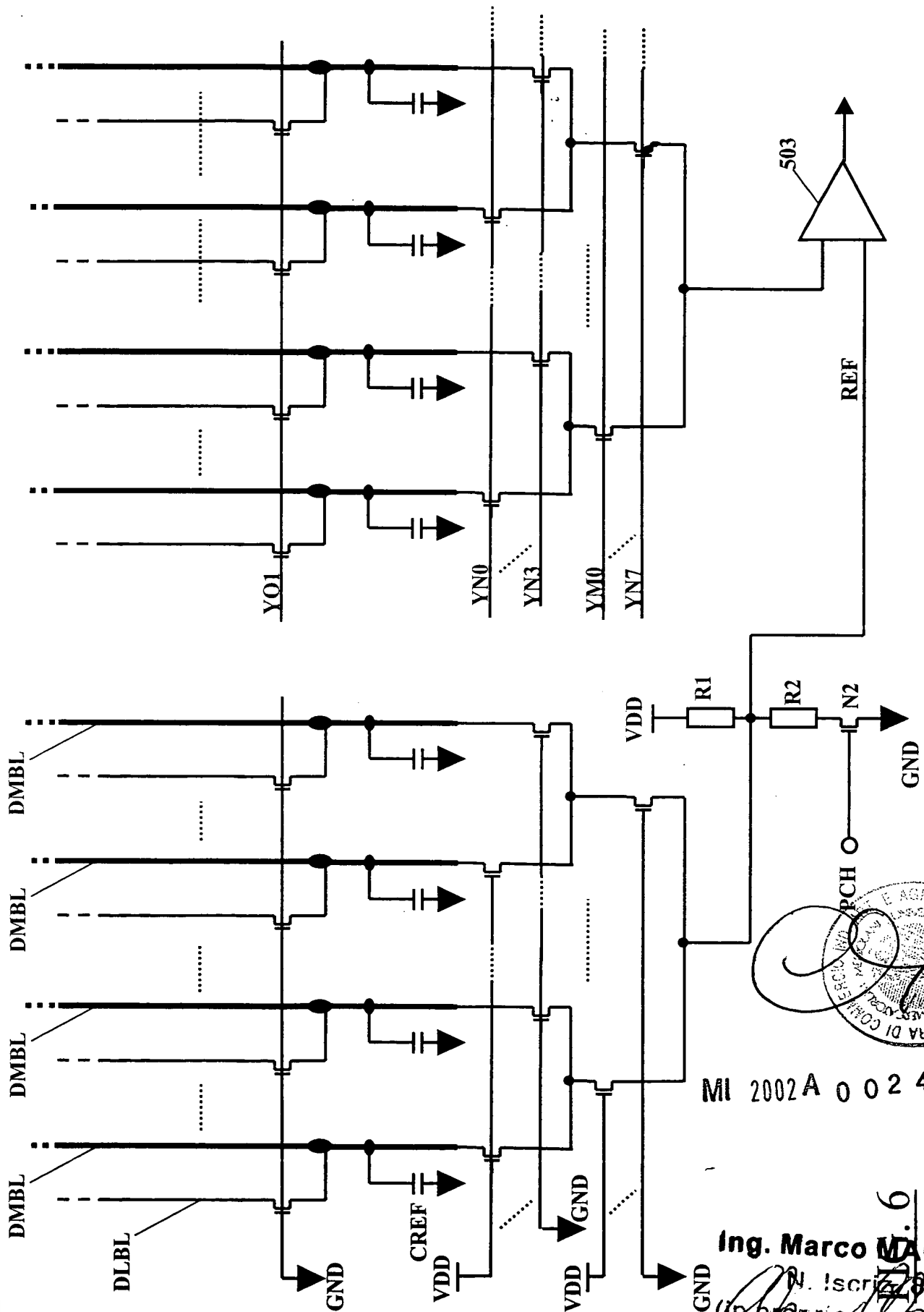
Ing. Marco MACCALLI

(in proprio e per gli altri)

FIG. 4B



7/8



MI 2002A 002464

Ing. Marco MACCALL

N. Iscrizione 2826  
(in proprio e per altri)

FIG. 7

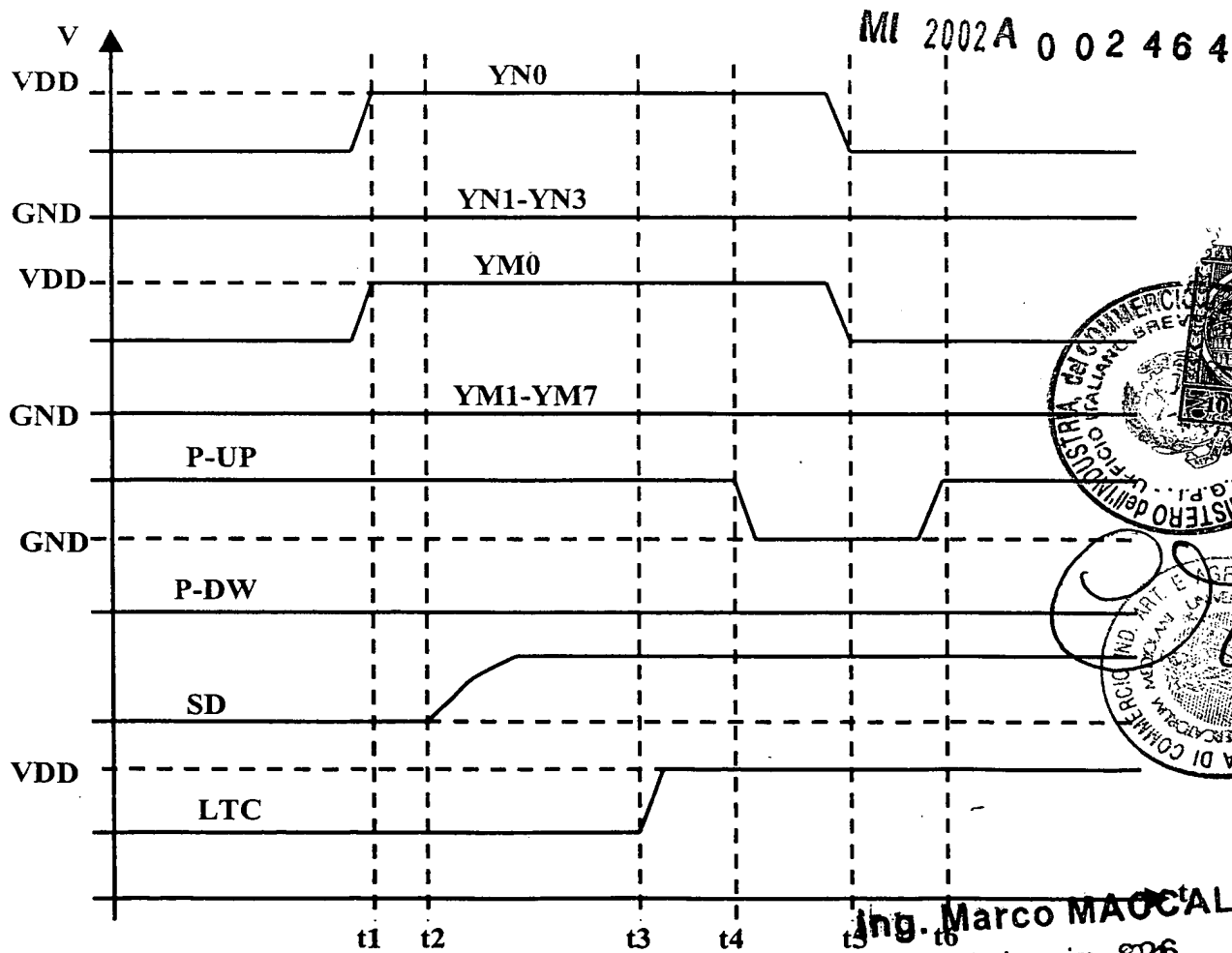
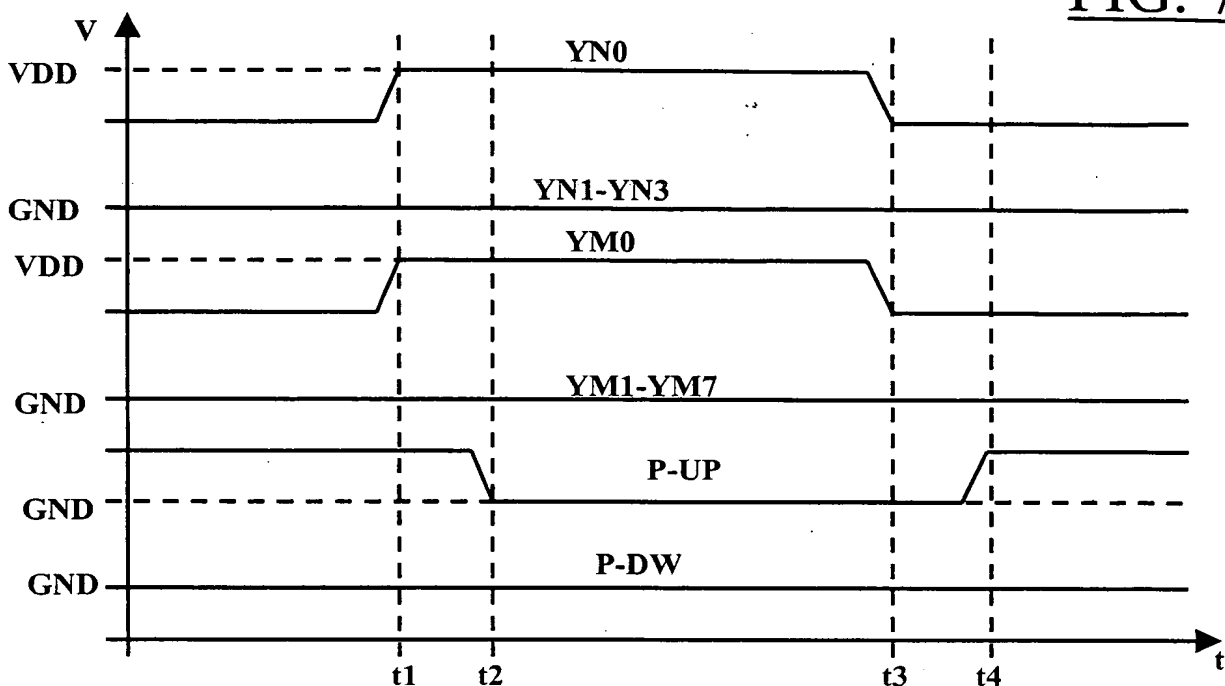
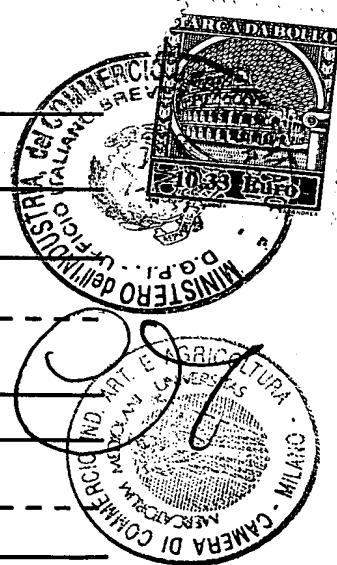


FIG. 8

MI 2002A 0 02 46 4



Ing. Marco MAOCALLI

N. Iscriz. 826  
(in proprio e per gli altri)